

IP21201

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

J1036 U.S. PTO  
09/848432  
05/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2001年 3月 1日

出 願 番 号

Application Number:

特願2001-056485

出 願 人

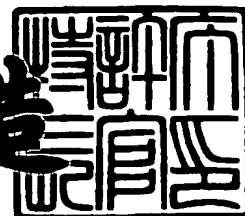
Applicant (s):

アライドテレシス株式会社

2001年 4月13日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3030111

【書類名】 特許願

【整理番号】 IP21201

【あて先】 特許庁長官殿

【国際特許分類】 H04B 3/36  
H04B 3/46

【発明者】

【住所又は居所】 東京都品川区西五反田 7-22-17 アライドテレシ  
ス株式会社内

【氏名】 田中 和安

【特許出願人】

【識別番号】 396008347

【氏名又は名称】 アライドテレシス株式会社

【代理人】

【識別番号】 100097157

【弁理士】

【氏名又は名称】 桂木 雄二

【手数料の表示】

【予納台帳番号】 024431

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メディアコンバータおよびその制御方法

【特許請求の範囲】

【請求項 1】 異なる伝送媒体間の媒体変換を行うメディアコンバータにおいて、

第 1 伝送媒体を接続するための第 1 物理層インタフェース手段と、

第 2 伝送媒体を接続するための第 2 物理層インタフェース手段と、

前記第 1 及び第 2 物理層インタフェース手段の間に接続され、それらの間で転送されるデータを一時的に格納するためのメモリ手段と、

前記メモリ手段に格納される受信データブロックの所定位置に存在するデータが所定データと一致するか否かを判定する判定手段と、

前記判定手段により受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該受信データブロックを受信した物理層インタフェース手段から当該受信データブロックに対する応答データブロックを当該受信データブロックの送信元へ返送する制御手段と、

を有することを特徴とするメディアコンバータ。

【請求項 2】 前記受信データブロックおよび前記応答データブロックは、所定フォーマットを有するイーサネットパケットであることを特徴とする請求項 1 記載のメディアコンバータ。

【請求項 3】 前記受信データブロックの所定位置は、前記イーサネットパケットの送信元アドレスフィールドであることを特徴とする請求項 2 記載のメディアコンバータ。

【請求項 4】 前記所定データは、前記メディアコンバータに固有の識別番号であることを特徴とする請求項 1 または 2 記載のメディアコンバータ。

【請求項 5】 前記第 1 及び第 2 物理層インタフェース手段は、それぞれ IEEE 802.3 規格によって規定された MII (Media Independent Interface) をサポートすることを特徴とする請求項 1 記載のメディアコンバータ。

【請求項 6】 前記制御手段は、さらに、前記判定手段により前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定され

た場合、他方の物理層インタフェース手段にアクセスして当該他方の物理層インタフェース手段のリンク情報を取得し、当該リンク情報に応じた前記応答データブロックを生成することを特徴とする請求項5記載のメディアコンバータ。

【請求項7】 前記制御手段は、一方の物理層インタフェース手段がリンク切断状態になった時、他方の物理層インタフェース手段もリンク切断状態にするミッシングリンク機能を有することを特徴とする請求項5または6記載のメディアコンバータ。

【請求項8】 前記制御手段は、ミッシングリンク状態において前記判定手段により前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該ミッシングリンク状態を解除し、前記応答データブロックを当該受信データブロックの送信元へ返送することを特徴とする請求項7記載のメディアコンバータ。

【請求項9】 前記制御手段は、ミッシングリンク状態において前記判定手段により前記受信データブロックの所定位置に存在するデータが前記所定データに一致しないと判定された場合、通常モードに復帰して当該受信データブロックを当該他方の物理層インタフェース手段を通して転送することを特徴とする請求項7記載のメディアコンバータ。

【請求項10】 第1伝送媒体を接続するための第1物理層インタフェース手段と、第2伝送媒体を接続するための第2物理層インタフェース手段と、前記第1及び第2物理層インタフェース手段の間に接続され、それらの間で転送されるデータを一時的に格納するためのメモリ手段と、を有するメディアコンバータの制御方法において、

a) 前記メモリ手段に格納される受信データブロックの所定位置に存在するデータと所定データとが一致するか否かを判定するステップと、

b) 前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該受信データブロックに対する応答データブロックを生成するステップと、

c) 当該受信データブロックを受信した物理層インタフェース手段から前記応答データブロックを当該受信データブロックの送信元へ返送するステップと、

を有することを特徴とするメディアコンバータの制御方法。

【請求項 1 1】 前記所定データは、前記メディアコンバータに固有の識別番号であることを特徴とする請求項 1 0 記載のメディアコンバータの制御方法。

【請求項 1 2】 前記第 1 及び第 2 物理層インタフェース手段は、それぞれ I E E E 8 0 2 . 3 規格によって規定された M I I (Media Independent Interface) をサポートすることを特徴とする請求項 1 0 記載のメディアコンバータの制御方法。

【請求項 1 3】 前記ステップ (b) は、

前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、他方の物理層インタフェース手段にアクセスして当該他方の物理層インタフェース手段のリンク情報を取得するステップと、

当該リンク情報に応じた前記応答データブロックを生成するステップと、

を有することを特徴とする請求項 1 2 記載のメディアコンバータの制御方法。

【請求項 1 4】 第 1 伝送媒体を接続するための第 1 物理層インタフェース手段と、第 2 伝送媒体を接続するための第 2 物理層インタフェース手段と、前記第 1 及び第 2 物理層インタフェース手段の間に接続され、それらの間で転送されるデータを一時的に格納するためのメモリ手段と、を有し、前記第 1 及び第 2 物理層インタフェース手段がそれぞれ I E E E 8 0 2 . 3 規格によって規定された M I I (Media Independent Interface) をサポートするメディアコンバータの制御方法において、

a) 前記メモリ手段に格納される受信データブロックの所定位置に存在するデータと所定データとが一致するか否かを判定するステップと、

b) 前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該受信データブロックに対する応答データブロックを生成するステップと、

c) 一方の物理層インタフェース手段がリンク切断状態になった時に他方の物理層インタフェース手段もリンク切断状態にするミッシングリンク状態であるか否かを判定するステップと、

d) ミッシングリンク状態で前記受信データブロックの所定位置に存在するデ

ータが前記所定データに一致する受信データブロックを受信した場合、前記ミッシングリンク状態を解除し、当該受信データブロックを受信した物理層インタフェース手段から前記応答データブロックを当該受信データブロックの送信元へ返送するステップと、

を有することを特徴とするメディアコンバータの制御方法。

【請求項15】 さらに、

e) ミッシングリンク状態において前記受信データブロックの所定位置に存在するデータが前記所定データに一致しない受信データブロックを受信した場合、前記ミッシングリンク状態を解除し、当該受信データブロックを当該他方の物理層インタフェース手段を通して転送するステップと、

を有することを特徴とする請求項14記載のメディアコンバータの制御方法。

【請求項16】 前記受信データブロックおよび前記応答データブロックは、所定フォーマットを有するイーサネットパケットであることを特徴とする請求項14または15記載のメディアコンバータの制御方法。

【請求項17】 前記所定データは、前記メディアコンバータに固有の識別番号であることを特徴とする請求項14～16のいずれかに記載のメディアコンバータの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は異なる種類の伝送媒体を接続するためのメディアコンバータに係り、特にアンシールド・ツイスト・ペア（UTP）ケーブル等の電氣的導体ケーブルと光ファイバケーブルとの間の媒体（メディア）変換を行うメディアコンバータおよびその制御方法に関する。

【0002】

【従来の技術】

近年、各家庭まで光ファイバ回線を延ばして、音楽や動画像、医療データなどを高速回線で自在にやり取りできるFTTH（Fiber To The Home）が話題を集めている。このようなFTTHが実現されると、光ファイバ回線をオフィスある

いは家庭内のコンピュータに接続するためのメディアコンバータが不可欠となる。

#### 【0003】

メディアコンバータには、一般に、光ケーブルを接続するためのポートとUTPケーブルを接続するためのポートのそれぞれに物理層デバイスが設けられており、各物理層デバイスはIEEE 802.3規格によって規定されたMII (Media Independent Interface) をサポートしている。

#### 【0004】

さらに、メディアコンバータの性質上、一方のリンクが切断された場合に他方のリンクを自動的に切断するミッシングリング機能を有するものが一般的である。たとえば光ファイバケーブルに障害が発生して切断された場合、メディアコンバータは他方のUTPケーブル側のリンクも自動的に切断する。

#### 【0005】

このようなメディアコンバータを用いてUTPケーブルを光ケーブルに接続した場合、ケーブルが相手側と正常に接続されているか否かをテストする必要がある。従来のメディアコンバータにはリンクテスト切替スイッチが設けられ、リンクテスト機能によりリンク確立の可否をポートごとにLEDの点灯などで確認することができる。

#### 【0006】

他方、ネットワークのリンクテスト技術については種々提案されている。たとえば、特開平8-331126号公報に開示されたリンクテスト方法では、特殊な制御コードをリンク先のスイッチへ送信し、その制御コードを受信したスイッチは応答メッセージを返送する。送信元のスイッチは、応答メッセージの分析あるいは応答の有無を検出することで、ネットワークリンクが正常に機能しているか否かを判定することができる。

#### 【0007】

しかしながら、この従来のリンクテスト技術はネットワークスイッチ（交換機）を前提としたものであり、伝送媒体の変換を主目的としミッシングリング機能を有するメディアコンバータとは、構成及び機能の点で基本的に異なっている。

【0008】

【発明が解決しようとする課題】

上述したように、従来のメディアコンバータでは、リンクテスト切替スイッチを操作してテストモードに設定している。このために、ケーブル側（UTPケーブル側あるいは光ケーブル側）からリンクテストを起動することができず、リンクテストを迅速かつ簡単に実行することができないという問題があった。言い換えれば、このようなメディアコンバータは、その性質上、ネットワーク側から制御するようには設計されていない。

【0009】

さらに、メディアコンバータのミッシングリンク機能が作動した場合、ホストコンピュータは、たとえメディアコンバータが正常であっても、そのメディアコンバータの状態を全くモニタすることができなくなる。

【0010】

そこで、本発明の目的は、ケーブル側から応答テストを起動することができるメディアコンバータおよびその制御方法を提供することにある。

【0011】

【課題を解決するための手段】

本発明によるメディアコンバータは、第1伝送媒体を接続するための第1物理層インタフェース手段と、第2伝送媒体を接続するための第2物理層インタフェース手段と、前記第1及び第2物理層インタフェース手段の間に接続され、それらの間で転送されるデータを一時的に格納するためのメモリ手段と、前記メモリ手段に格納される受信データブロックの所定位置に存在するデータが所定データと一致するか否かを判定する判定手段と、前記判定手段により受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、該受信データブロックを受信した物理層インタフェース手段から当該受信データブロックに対する応答データブロックを当該受信データブロックの送信元へ返送する制御手段と、を有することを特徴とする。

【0012】

所定データを含むデータブロックを受信することで、応答データブロックを返



送することができるために、ケーブル側から応答テストを起動することが可能となる。

【0013】

前記受信データブロックおよび前記応答データブロックは、所定フォーマットを有するイーサネットパケットであることが望ましい。さらに、前記受信データブロックの所定位置は、前記イーサネットパケットの送信元アドレスフィールドであることが望ましい。また、所定データは、前記メディアコンバータに固有の識別番号であることが望ましい。

【0014】

前記制御手段は、さらに、前記判定手段により前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、他方の物理層インタフェース手段にアクセスして当該他方の物理層インタフェース手段のリンク情報を取得し、当該リンク情報に応じた前記応答データブロックを生成することを特徴とする。したがって、応答データブロックを受信したホスト側では、メディアコンバータまでのリンクだけでなく、当該メディアコンバータ自体も正常に動作していることを確認することができる。

【0015】

また、前記制御手段は、ミッシングリンク状態において前記判定手段により前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該ミッシングリンク状態を解除し、前記応答データブロックを当該受信データブロックの送信元へ返送することを特徴とする。したがって、ミッシングリンク状態であっても応答データブロックを返送することが可能となる。これにより、ホスト側は、応答データブロックの返送により、少なくとも当該メディアコンバータおよびそこまでのリンクが正常であると判断することができる。

【0016】

さらに、前記制御手段は、ミッシングリンク状態において前記判定手段により前記受信データブロックの所定位置に存在するデータが前記所定データに一致しないと判定された場合、通常モードに移行し、当該受信データブロックを当該他

方の物理層インタフェース手段を通して転送することを特徴とする。これにより当該メディアコンバータを応答テストの対象としないデータブロックは通過するために、それより以遠のリンクテストが可能となる。

## 【0017】

本発明によるメディアコンバータの制御方法は、a) 前記メモリ手段に格納される受信データブロックの所定位置に存在するデータと所定データとが一致するか否かを判定するステップと、b) 前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該受信データブロックに対する応答データブロックを生成するステップと、c) 当該受信データブロックを受信した物理層インタフェース手段から前記応答データブロックを当該受信データブロックの送信元へ返送するステップと、を有することを特徴とする。

## 【0018】

また、本発明によるメディアコンバータの制御方法は、第1伝送媒体を接続するための第1物理層インタフェース手段と、第2伝送媒体を接続するための第2物理層インタフェース手段と、前記第1及び第2物理層インタフェース手段の間に接続され、それらの間で転送されるデータを一時的に格納するためのメモリ手段と、を有し、前記第1及び第2物理層インタフェース手段がそれぞれIEEE 802.3規格によって規定されたMII (Media Independent Interface) をサポートするメディアコンバータにおいて、a) 前記メモリ手段に格納される受信データブロックの所定位置に存在するデータと所定データとが一致するか否かを判定するステップと、b) 前記受信データブロックの所定位置に存在するデータが前記所定データに一致すると判定された場合、当該受信データブロックに対する応答データブロックを生成するステップと、c) 一方の物理層インタフェース手段がリンク切断状態になった時に他方の物理層インタフェース手段もリンク切断状態にするミッシングリンク状態であるか否かを判定するステップと、d) ミッシングリンク状態で前記受信データブロックの所定位置に存在するデータが前記所定データに一致する受信データブロックを受信した場合、前記ミッシングリンク状態を解除し、当該受信データブロックを受信した物理層インタフェース手段から前記応答データブロックを当該受信データブロックの送信元へ返送する

ステップと、を有することを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】

図 1 は本発明によるメディアコンバータの一実施形態を示すブロック図である。ここでは、説明を簡単にするために、メディアコンバータ 1 0 が 1 0 0 B A S E - T X : U T P ケーブルを通してホストコンピュータあるいはマネジメントスイッチ 2 0 に接続され、1 0 0 B A S E - F X : 光ケーブルを通して他方のホストコンピュータあるいはマネジメントスイッチ 3 0 に接続されているシステムを例示する。

【 0 0 2 0 】

メディアコンバータ 1 0 の一対のポートにはそれぞれ物理層デバイス ( P H Y ) 1 0 1 および 1 0 2 が設けられ、一方の物理層デバイス 1 0 1 は U T P ケーブルに、他方の物理層デバイス 1 0 2 は光ケーブルに、それぞれ接続されている。上述したように、物理層デバイス 1 0 1 および 1 0 2 の各々は、 I E E E 8 0 2 . 3 によって規定された M I I ( Media Independent Interface ) をサポートする。

【 0 0 2 1 】

物理層デバイス 1 0 1 と物理層デバイス 1 0 2 との間には、 F I F O ( First in First out ) メモリ 1 0 3 が設けられ、これによって送受信間の周波数偏差を吸収することができる。一方の物理層デバイスで受信されたデータは F I F O メモリ 1 0 3 に順次書き込まれ、書き込まれた順に読み出されて他方の物理層デバイスへ送出される。

【 0 0 2 2 】

さらに、 F I F O メモリ 1 0 3 には、所定の論理機能が書き込まれた P L D ( Programmable Logic Device ) 1 0 4 が接続されている。 P L D 1 0 4 は、後述するように、パケットを受信してから所定タイミングで F I F O メモリ 1 0 3 の内容をチェックし、それが所定データに一致した時に限りイネーブル信号 E<sub>LB</sub> をマイクロプロセッサ 1 0 5 へ出力するように設計されている。

【 0 0 2 3 】

マイクロプロセッサ105は、後述するように、PLD104からイネーブル信号E<sub>LB</sub>を受け取ると、所定の応答パケットを生成し、それを受信パケットの送信元へ返送するように当該物理層デバイスを制御する。

## 【0024】

さらに、マイクロプロセッサ105は、IEEE802.3規格の物理層MIIに従って、物理層デバイス101および102に設けられたfarEF(far End Fault)レジスタや強制リンク(Force Link)レジスタなどの各種内部レジスタにそれぞれアクセスすることができる。これによって、たとえば、物理層デバイスからリンク確立の可否あるいは半二重/全二重を示すリンク情報などを取得することができる。また、強制リンクレジスタにアクセスすることで、リンク切断状態の物理層デバイスを送信可能状態に強制的に設定することも可能である。

## 【0025】

マネジメントスイッチ20には、同じくIEEE802.3規格MIIをサポートする物理層デバイス(PHY)201、MAC(Media Access Control)層デバイス202、およびマイクロプロセッサ(CPU)203が設けられている。その物理層デバイス201はUTPケーブルを通してメディアコンバータの物理層デバイス101に接続されている。マイクロプロセッサ203は、IEEE802.3規格MIIに従って、物理層デバイス201に設けられた各種内部レジスタにそれぞれアクセスすることができる。これによって、UTPケーブルによるリンク確立の可否を示すリンク情報を取得することができ、また強制リンクレジスタにアクセスして、リンク切断状態の物理層デバイス201を送信可能状態に強制的に設定することもできる。

## 【0026】

マネジメントスイッチ30もマネジメントスイッチ20と同様の構成を有し、その物理層デバイス301は光ケーブルを通してメディアコンバータの物理層デバイス102に接続され、同様にIEEE802.3によって規定されたMIIをサポートする。

## 【0027】

通常のイーサネットパケットが送受信される場合、メディアコンバータは通常

のメディア変換動作を行うだけである。すなわち、マネジメントスイッチ20から送出された通常のイーサネットパケットはメディアコンバータ10によって光データに変換され、光ケーブルを通して宛先のホストコンピュータあるいはマネジメントスイッチ30へ送信される。逆に、マネジメントスイッチ30から送出された通常の光データはメディアコンバータ10によって通常のイーサネットパケットに変換され、UTPケーブルを通してマネジメントスイッチ20により受信される。

## 【0028】

これに対して応答テストを起動する場合には、マネジメントスイッチ20は所定のトリガデータを含むイーサネットパケット（以下、トリガパケット $P_{TRG}$ という。）を生成してメディアコンバータ10へ送出する。

## 【0029】

図2はトリガパケットの一例を示すフォーマット図である。トリガパケットも、通常のイーサネットパケットと同様に、8バイトのプリアンブル、6バイトの宛先アドレスフィールド、6バイトの送信元アドレスフィールド、48～1502バイトのデータフィールド、および4バイトのFCSフィールドからなる。ただし、トリガパケットの場合には、送信元アドレスフィールドに予め定められたトリガデータを書き込んでおく。

## 【0030】

トリガデータとしては、できるだけユニークな識別データのようなものが望ましい。ここでは、メディアコンバータ10に内蔵された回路ボード番号を使用する。回路ボード番号はベンダーによって付与されたユニークな番号である。この回路ボード番号を送信元アドレスフィールドに格納したパケットをトリガパケットとしてメディアコンバータへ送信する。

## 【0031】

メディアコンバータでは、自己の回路ボード番号が送信元アドレスフィールドに書き込まれたパケットを受信すると、後述するように、応答テストモードに切り替わり応答パケットを生成して返送する。自己の回路ボード番号以外のデータであれば、通常のパケットとして通過させる。以下、メディアコンバータの応答

テスト動作について詳細に説明する。

#### 【0032】

(応答テストシーケンス)

図3は本実施形態の応答テスト動作を示すシーケンス図である。マネジメントスイッチ20でリンク切断が検出されると(ステップS301)、マイクロプロセッサ203はテストプログラムを起動する(ステップS302)。テストモードにおいて、マイクロプロセッサ203は、メディアコンバータ10の固有回路ボード番号を送信元アドレスフィールドに書き込んだトリガパケット $P_{TRG}$ を生成し、物理層デバイス201を通してUTPケーブルへ送出する。

#### 【0033】

物理層デバイス101でトリガパケット $P_{TRG}$ を受信すると、メディアコンバータ10はテストモードに切り替わり(ステップS303)、ミッシングリンク機能を解除(ディスエーブル: Disable)し(ステップS304)、応答パケット $P_{RPL}$ を同じ物理層パケット101からマネジメントスイッチ20へ返送する。テストモードになってから一定時間経過後、メディアコンバータ10は自動的に通常モードに復帰する(ステップS305)。

#### 【0034】

マネジメントスイッチ20は、所定の応答パケット $P_{RPL}$ を受信した場合には正常にリンクが確立していると判断し、応答パケット $P_{RPL}$ を所定時間内に受信しなかった場合あるいは所定の応答パケット $P_{RPL}$ でなかった場合には障害発生と判断する(ステップS306)。

#### 【0035】

図3では通常モードでの応答テストの場合を示しているが、ミッシングリンク機能が作動してリンク切断された場合も、次に述べるように同様のテストを行うことができる。以下、ミッシングリンク機能によりリンクが切断された場合のメディアコンバータ10およびマネジメントスイッチ20でのテスト動作について詳細に説明する。

#### 【0036】

(メディアコンバータのテスト制御)

図4は、メディアコンバータにおけるテスト制御を示すフローチャートである。メディアコンバータ10がミッシングリンクモードの場合、物理層デバイス101および102は送信不可状態に設定されているが、受信することは可能である。

## 【0037】

物理層デバイス101あるいは102からデータが受信されると、PLD104は所定タイミングでFIFOメモリ103に書き込まれたデータが所定のトリガデータであるか否かを判定する（ステップS401）。ここでは、図2に示すように送信元アドレスフィールドのタイミングでFIFOメモリ103の内容をチェックする。

## 【0038】

送信元アドレスフィールドに所定のトリガデータが存在すると（ステップS401のYES）、PLD104はイネーブル信号 $E_{LB}$ をマイクロプロセッサ105へ出力し、マイクロプロセッサ105はテストモードに切り替わり、ミッシングリンク機能をディスエーブルする（ステップS402）。

## 【0039】

続いて、マイクロプロセッサ105は各物理デバイスのレジスタにアクセスしてリンク情報を取得する（ステップS403）。ここでは、物理層デバイス101の側からトリガパケット $P_{TRG}$ を受信したから、マイクロプロセッサ105はそれに対応する物理層デバイス102のレジスタにアクセスし、光ケーブル側のリンク情報を取得する。

## 【0040】

続いて、マイクロプロセッサ105は、取得したリンク情報を送信元アドレスフィールドに書き込んだ応答パケット $P_{RPL}$ を生成し、トリガパケット $P_{TRG}$ を受信した物理層デバイス101からその送信元へ送信する（ステップS404）。その後、通常モードに復帰する（ステップS405）。受信したパケットが自己宛のトリガパケット以外のパケットである場合には（ステップS401のNO）、通常モードで当該パケットを転送する。

## 【0041】

## (マネジメントスイッチのテスト制御)

図5はマネジメントスイッチの応答テスト制御を示すフローチャートである。ここでは、何らかの原因でUTPケーブル側がリンク切断状態になっているものとする。この場合、マネジメントスイッチ20としては、どの箇所で障害が発生しているのか知ることはできない。たとえば、UTPケーブルが切断されている場合も、光ケーブルが切断されてメディアコンバータ10がミッシングリンク機能を作動させている場合も、同様にUTPケーブル側がリンク切断状態になっているからである。

## 【0042】

マイクロプロセッサ203がUTPケーブル側のリンク切断を検出すると（ステップS501のYES）、マイクロプロセッサ203は物理層デバイス201の強制リンクレジスタにアクセスして、物理層デバイス201を強制的な送信可能状態（ForceLink Enable）に設定する（ステップS502）。

## 【0043】

物理層デバイス201が送信可能状態に設定されると、マイクロプロセッサ203はメディアコンバータ10の識別番号（回路ボード番号など）を送信元アドレスフィールドに書き込んだトリガパケット $P_{TRG}$ を生成し、UTPケーブルを通して送信する（ステップS503）。そして、物理層デバイス201の強制的な送信可能状態を解除（ForceLink Disable）した後（ステップS504）、通常モードに戻り（ステップS505）、トリガパケット $P_{TRG}$ に対応する応答パケットの受信を所定時間待つ（ステップS506～S508）。

## 【0044】

応答パケット $P_{PRL}$ が所定時間内に返送されてくると（ステップS506のYES）、その応答パケット $P_{PRL}$ に書き込まれたメディアコンバータのリンク情報を読み出して整理する（ステップS507）。所定時間経過後に（ステップS508のYES）、リンク情報に基づいて判定を行う（ステップS509）。

## 【0045】

たとえば、応答パケット $P_{PRL}$ が所定時間内に返送されてきた場合には、少なくともUTPケーブルとメディアコンバータ10とは正常に動作しており、それ



以遠のケーブルあるいはデバイスで障害が発生していると判定することができる。その際、応答パケット  $P_{PRL}$  に書き込まれたリンク情報を読み出して、光ケーブル側の障害であることを確認することができる。応答パケット  $P_{PRL}$  が所定時間内に返送されて来なかった場合は（ステップ S 5 0 6 の NO および S 5 0 8 の YES）、UTP ケーブルおよび／あるいはメディアコンバータ 1 0 に障害が発生していると判定することができる。

【 0 0 4 6 】

【発明の効果】

以上詳細に説明したように、本発明によるメディアコンバータは、トリガパケットを受信することでテストモードとなり、応答パケットを送信元へ返送することができ、ケーブル側から応答テストを起動することが可能となる。

【 0 0 4 7 】

また、リンク切断検出時に、ホスト側は物理層デバイスを強制的にリンク状態に設定してトリガパケットを送信することができ、ミッシングリンク状態でトリガパケットを受信したメディアコンバータは、ミッシングリンク機能をディスプレイして応答パケットを送信元へ返送することができる。したがって、ホスト側は、応答パケットが返送されてくれば、少なくとも当該メディアコンバータおよびそこまでのリンクが正常であると判断することができ、応答パケットが返送されて来なければ、当該メディアコンバータおよびそこまでのリンクに障害が発生していると判断することができる。

【図面の簡単な説明】

【図 1】

本発明によるメディアコンバータの一実施形態を示すブロック図である。

【図 2】

トリガパケットの一例を示すフォーマット図である。

【図 3】

本実施形態の応答テスト動作を示すシーケンス図である。

【図 4】

メディアコンバータにおけるテスト制御を示すフローチャートである。

【図 5】

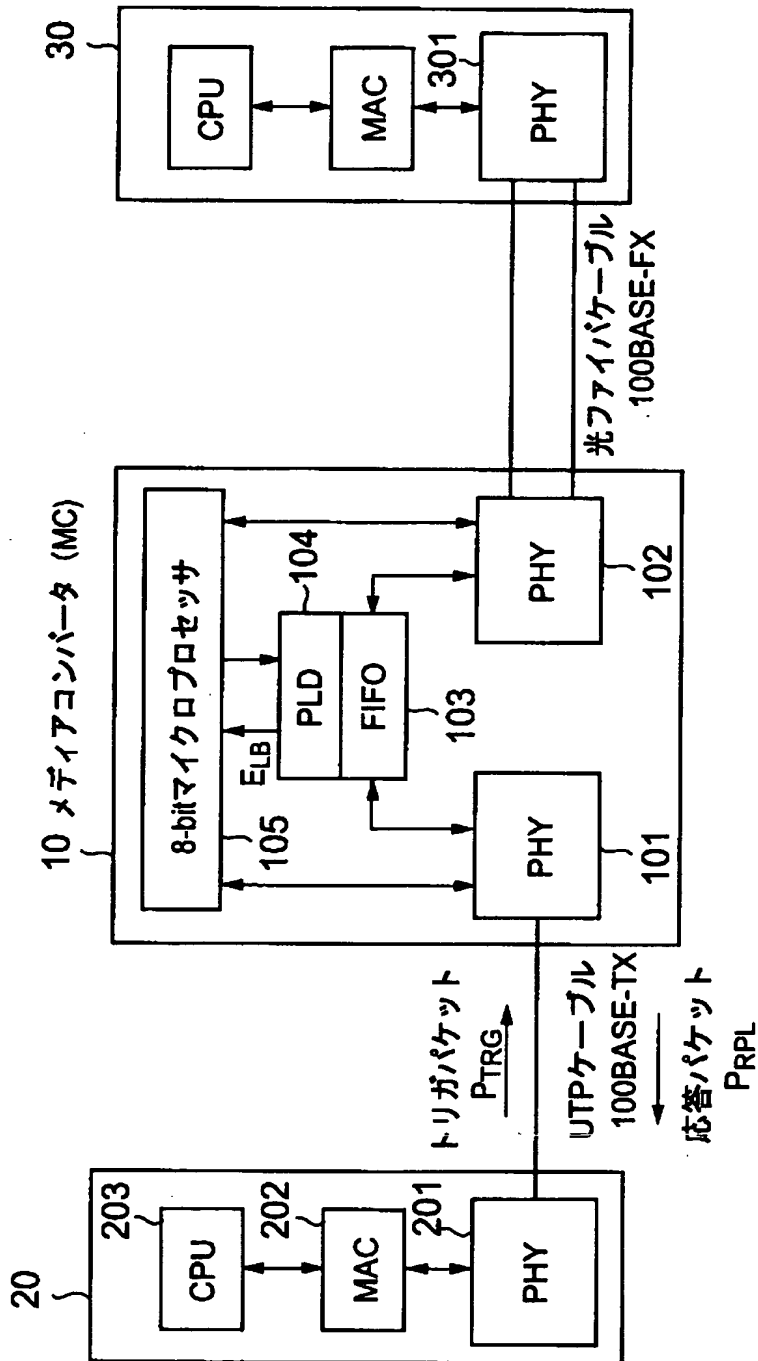
マネジメントスイッチのテスト制御を示すフローチャートである。

【符号の説明】

- 10   メディアコンバータ
- 20   マネジメントスイッチ
- 30   マネジメントスイッチ
- 101   物理層デバイス
- 102   物理層デバイス
- 103   FIFOメモリ
- 104   PLDデバイス
- 105   マイクロプロセッサ

【書類名】 図面

【図 1】



【図 2】

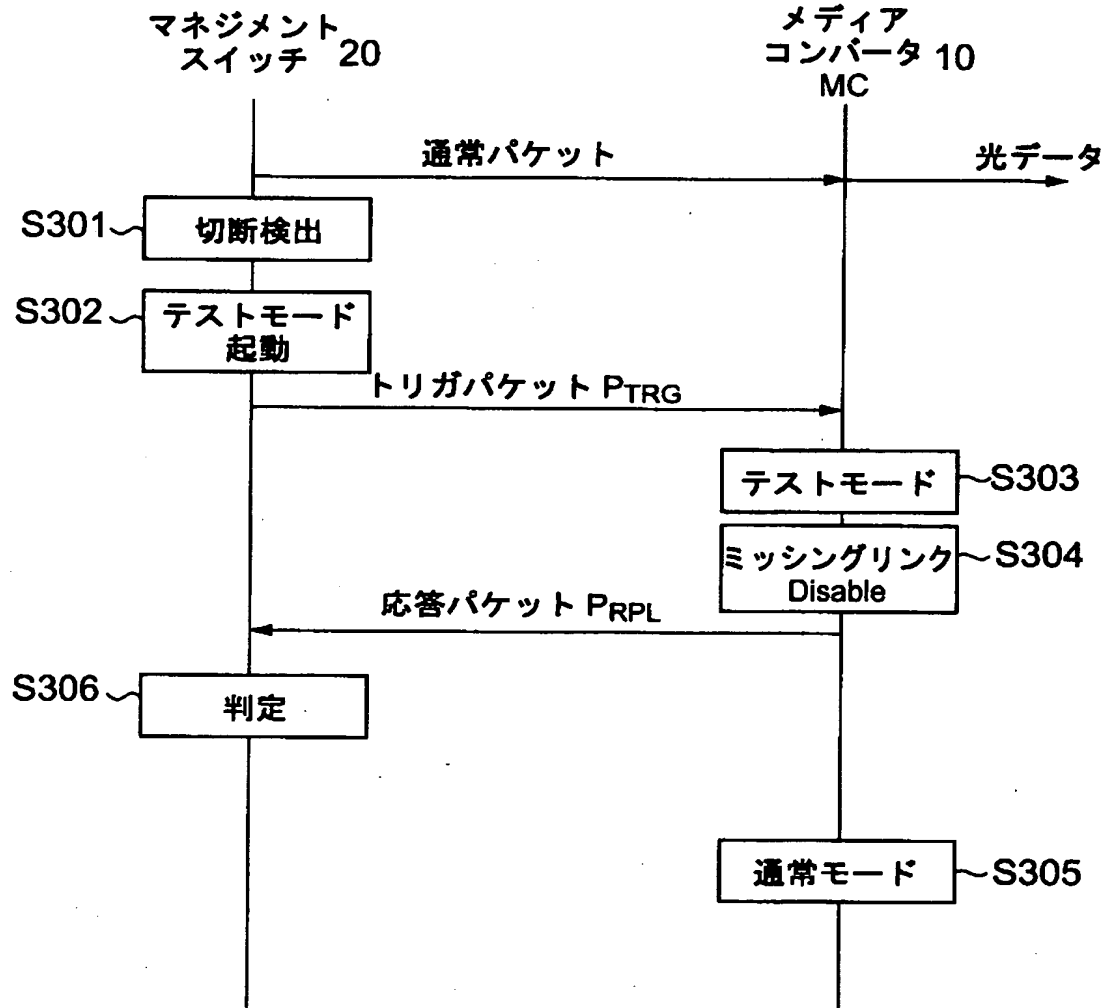
トリガデータを含むイーサネットパケット

プリアンブル PR (8バイト)	あて先 DA (6バイト)	送信先 SA (6バイト)	データ DATA (48-1502バイト)	FCS (4バイト)
------------------------	---------------------	---------------------	-----------------------------	---------------

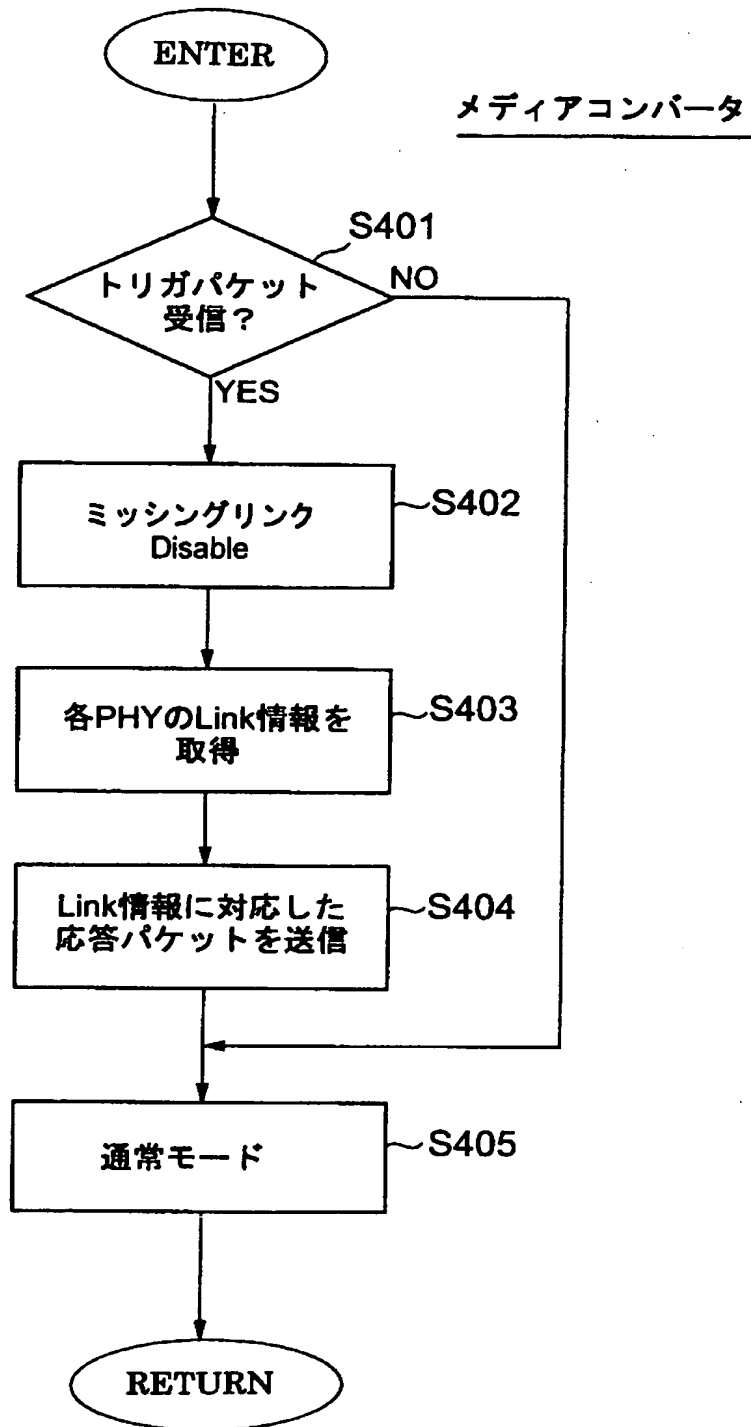
ex [ トリガデータ : (0000F4)<sub>H</sub> ]

SA送信元アドレスフィールド					
00	00	F4	XX	XX	XX

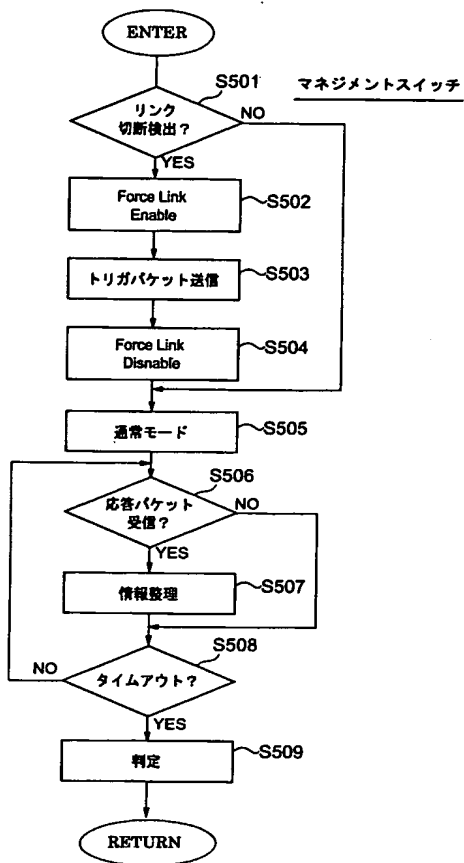
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 ケーブル側から応答テストを起動することができるメディアコンバータおよびその制御方法を提供することにある。

【解決手段】 1 0 0 B A S E - T X : U T P ケーブルを接続するための物理層デバイス 1 0 1 と、1 0 0 B A S E - F X : 光ケーブルを接続するための物理層デバイス 1 0 2 とを有し、その間に F I F O メモリ 1 0 3 が接続されている。P L D デバイス 1 0 4 はトリガパケットの受信を監視し、トリガパケットを受信すると、マイクロプロセッサ 1 0 5 ハイネーブル信号を出力する。マイクロプロセッサ 1 0 5 は、そのトリガパケットを受信した物理層デバイスから応答パケットを送信元へ返送する。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願2001-056485
受付番号	50100290362
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 3月 6日

<認定情報・付加情報>

【提出日】	平成13年 3月 1日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [396008347]

1. 変更年月日 2000年10月24日  
[変更理由] 住所変更  
住 所 東京都品川区西五反田7-22-17 TOCビル  
氏 名 アライドテレシス株式会社